

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3111947号

(P3111947)

(45) 発行日 平成12年11月27日 (2000. 11. 27)

(24) 登録日 平成12年9月22日 (2000. 9. 22)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 29/786

21/336

21/8238

27/092

H 0 1 L 29/78

6 1 3 A

6 1 6 V

6 1 7 A

6 2 2

6 2 6 C

請求項の数 9 (全 19 頁) 最終頁に続く

(21) 出願番号

特願平9-295748

(22) 出願日

平成9年10月28日 (1997. 10. 28)

(65) 公開番号

特開平11-135794

(43) 公開日

平成11年5月21日 (1999. 5. 21)

審査請求日

平成9年10月28日 (1997. 10. 28)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者

小林 研也

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

審査官 河本 充雄

(56) 参考文献 特開 平8-148684 (J P, A)

(58) 調査した分野(Int.Cl.⁷, D B名)

H01L 29/786

H01L 21/336

H01L 21/8238

H01L 27/092

(54) 【発明の名称】 半導体装置、その製造方法

(57) 【特許請求の範囲】

【請求項1】 第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI (Silicon On Insulator) 基板にMOS (Metal Oxide Semiconductor) 構造の第一導電型と第二導電型との一対のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS (Complementary MOS) 構造の半導体装置において、
第二導電型の前記トランジスタは、前記第一基板からなるソースベース層と不純物が拡散された前記第一基板からなるドレインオフセット拡散層とを具備したLMOS (Lateral MOS) 構造に形成されており、
第一導電型の前記トランジスタは、不純物が拡散された前記第一基板からなるソースベース層と前記第一基板からなるドレインベース層とを具備したLDMOS (Late

ral Double-diffused MOS) 構造に形成されていることを特徴とする半導体装置。

【請求項2】 第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI 基板にMOS 構造の第一導電型と第二導電型との一対のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS 構造の半導体装置において、
第二導電型の前記トランジスタが、
前記第一基板からなる第一導電型のソースベース層と、
該ソースベース層上に位置する第二導電型のソースコンタクト拡散層と、
該ソースコンタクト拡散層上と前記ソースベース層上とに位置するゲート酸化膜と、
不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセ

ット拡散層と、
 を具備しており、
 第一導電型の前記トランジスタが、
不純物が拡散された前記第一基板で形成された第二導電型のソースベース拡散層と、
 該ソースベース拡散層上に位置する第一導電型のソース拡散層と、
 該ソース拡散層に導通したソース電極と、
前記ソース拡散層上と前記ソースベース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、
 該フィールド酸化膜上に位置するゲート電極と、
 前記第一基板からなる第一導電型のドレインベース層と、
 該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、
 該ドレインオフセット拡散層に導通したドレイン電極と、
 を具備していることを特徴とする半導体装置。

【請求項3】 第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一对のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS構造の半導体装置において、
 第二導電型の前記トランジスタが、
 前記第一基板からなる第一導電型のソースベース層と、
 該ソースベース層上に位置する第二導電型のソースコンタクト拡散層と、
 該ソースコンタクト拡散層に導通したソース電極と、
前記ソースコンタクト拡散層上と前記ソースベース層上とに位置するゲート酸化膜と、
 該ゲート酸化膜上に位置するゲート電極と、
不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層と、
 該ドレインオフセット拡散層に導通したドレイン電極と、
 を具備しており、
 第一導電型の前記トランジスタが、
不純物が拡散された前記第一基板で形成された第二導電型のソースベース拡散層と、
 該ソースベース拡散層上に位置する第一導電型のソース拡散層と、
 該ソース拡散層に導通したソース電極と、
前記ソース拡散層上と前記ソースベース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、
 該フィールド酸化膜上に位置するゲート電極と、
 前記第一基板からなる第一導電型のドレインベース層と、
 該ドレインベース層上に位置して前記フィールド酸化膜

下まで延長された第一導電型のドレインオフセット拡散層と、
 該ドレインオフセット拡散層に導通したドレイン電極と、
 を具備していることを特徴とする半導体装置。

【請求項4】 第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一对のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS構造の半導体装置において、
 第二導電型の前記トランジスタが、
 前記第一基板からなる第一導電型のソースベース層と、
 該ソースベース層上に位置する第一導電型のソースシールド拡散層と、
 該ソースシールド拡散層上に位置する第二導電型のソースコンタクト拡散層と、
 該ソースコンタクト拡散層に隣接して前記ソースシールド拡散層上に位置する第一導電型のバックゲートコンタクト拡散層と、
 該バックゲートコンタクト拡散層および前記ソースコンタクト拡散層上に位置するソース電極と、
前記ソースコンタクト拡散層上と前記ソースベース層上とに位置するゲート酸化膜と、
 該ゲート酸化膜上に位置するゲート電極と、
 該ゲート電極上に位置するゲート引出電極と、
不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層と、
 該ドレインオフセット拡散層上に位置する第二導電型のドレインコンタクト拡散層と、
 該ドレインコンタクト拡散層上に位置するドレイン電極と、
 を具備しており、
 第一導電型の前記トランジスタが、
不純物が拡散された前記第一基板で形成された第二導電型のソースベース拡散層と、
 該ソースベース拡散層上に位置する第一導電型のソース拡散層と、
 該ソース拡散層上に位置する第一導電型のソースコンタクト拡散層と、
 該ソースコンタクト拡散層に隣接して前記ソースベース拡散層上に位置する第二導電型のバックゲートコンタクト拡散層と、
 前記ソースコンタクト拡散層および前記バックゲートコンタクト拡散層上に位置するソース電極と、
前記ソース拡散層上と前記ソースベース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、
 該フィールド酸化膜上に位置するゲート電極と、
 該ゲート電極上に位置するゲート引出電極と、
 前記第一基板からなる第一導電型のドレインベース層

と、
 該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、
 該ドレインオフセット拡散層上に位置する第一導電型のドレインコンタクト拡散層と、
 該ドレインコンタクト拡散層上に位置するドレイン電極と、
 を具備していることを特徴とする半導体装置。

【請求項5】 第一導電型の前記トランジスタのソースベース拡散層と第二導電型の前記トランジスタのドレインオフセット拡散層とが前記第一基板の表面から前記埋込酸化膜の表面まで位置している請求項2ないし4の何れか一記載の半導体装置。

【請求項6】 第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一対のオフセット型のトランジスタを相互に絶縁分離して形成するCMOS構造の半導体装置の製造方法において、
第二導電型の前記トランジスタを前記第一基板からなるソースベース層と不純物が拡散された前記第一基板からなるドレインオフセット拡散層とを具備したLMOS構造に形成するとともに、第一導電型の前記トランジスタを不純物が拡散された前記第一基板からなるソースベース層と前記第一基板からなるドレインベース層とを具備したLDMOS構造に形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項7】 第二導電型の前記トランジスタは、
 前記第一基板からなる第一導電型のソースベース層と、
 該ソースベース層上に位置する第二導電型のソースコンタクト拡散層と、
 該ソースコンタクト拡散層上と前記ソースベース層上とに位置するゲート酸化膜と、
不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層とが形成され、
 第一導電型の前記トランジスタは、
不純物が拡散された前記第一基板で形成された第二導電型のソースベース拡散層と、
 該ソースベース拡散層上に位置する第一導電型のソース拡散層と、
 該ソース拡散層に導通したソース電極と、
 前記ソース拡散層上と前記ソースベース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、
 該フィールド酸化膜上に位置するゲート電極と、
 前記第一基板からなる第一導電型のドレインベース層と、
 該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、

該ドレインオフセット拡散層に導通したドレイン電極とが形成される請求項6記載の半導体装置の製造方法。

【請求項8】 第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造でオフセット型の第一導電型の第一トランジスタと第二導電型の第二トランジスタとを形成するCMOS構造の半導体装置の製造方法において、

前記第一基板の前記第一トランジスタのソースベース拡散層と前記第二トランジスタのドレインオフセット拡散層との位置に不純物を拡散させて前記第一トランジスタの第二導電型のソースベース拡散層と前記第二トランジスタの第二導電型のドレインオフセット拡散層とを同時に形成し、

前記第一基板の前記第一トランジスタのソース拡散層とドレインオフセット拡散層および前記第二トランジスタの第一導電型のソース拡散層の位置に不純物を拡散させて前記第一トランジスタの第一導電型のソース拡散層とドレインオフセット拡散層および前記第二トランジスタの第一導電型のソース拡散層を同時に形成し、

前記第一基板の上面に前記第一トランジスタのゲート酸化膜を兼用したフィールド酸化膜と前記第二トランジスタのフィールド酸化膜とを同時に形成し、

該フィールド酸化膜を介した前記第一基板の上面全域に熱酸化膜と導電膜とを形成してから一度にバターンニングして前記熱酸化膜により前記第二トランジスタのゲート酸化膜を形成するとともに前記導電膜により前記第一第二トランジスタのゲート電極を形成し、

前記第一基板の前記第一第二トランジスタのソースコンタクト拡散層とドレインコンタクト拡散層との位置に不純物を拡散させて前記第一第二トランジスタのソースコンタクト拡散層とドレインコンタクト拡散層とを形成し、

前記第一基板の前記第一第二トランジスタを絶縁分離する位置にトレンチ溝を形成して積層酸化膜で埋め込むことにより前記第一第二トランジスタを絶縁分離し、
前記積層酸化膜の前記コンタクト拡散層の位置にコンタクトホールを形成して各種の前記コンタクト拡散層に各種の電極を接続するようにしたことを特徴とする半導体装置の製造方法。

【請求項9】 前記第一トランジスタの第二導電型のソースベース拡散層と前記第二トランジスタの第二導電型のドレインオフセット拡散層とを形成するとき、不純物を前記第一基板の表面から前記埋込酸化膜の表面まで拡散させるようにした請求項8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高耐圧なCMOS構造の半導体装置と、その製造方法とに関する。

【0002】

【従来の技術】従来、P型とN型との一対のMOSトランジスタを一枚のSOI基板に形成したCMOS構造の半導体装置が各種用途に利用されている。このようなCMOS構造の半導体装置としても各種方式が存在するが、例えば、プラズマディスプレイの駆動回路に利用されるCMOS回路は高耐圧が要求されるため、そのP型とN型とのMOSトランジスタをオフセット構造とすることが提案されている。

【0003】このようなCMOS構造の半導体装置の一例を図7ないし図11を参照して以下に説明する。なお、図7は半導体装置であるCMOS回路の積層構造を示す縦断正面図、図8ないし図11はCMOS回路の製造工程を順番に示す縦断正面図である。

【0004】また、ここでは基板に対して各種層膜が形成された方向を上方として装置構造を説明するが、これは説明を簡略化するために便宜的に定義するものであり、実際の装置の製造や使用の方向を限定するものではない。さらに、ここではP型等において、より濃度が高いものをP+型、低いものをP-型のように表記するので、P-はPマイナスであってPハイフンではない。

【0005】ここで半導体装置として例示するCMOS回路1は、図7に示すように、第一導電型であるP型の一枚のSOI基板2を具備しており、このSOI基板2に、第一導電型であるPチャネルの第一トランジスタ3と第二導電型であるNチャネルの第二トランジスタ4とが、両方ともオフセット型のLMOS構造に形成されている。

【0006】SOI基板2は、第一導電型であるP-型の第一第二基板5、6を具備しており、これらの第一第二基板5、6は、埋込酸化膜7を介して一体に接合されている。第一第二トランジスタ3、4は、SOI基板2の埋込酸化膜7より上方の第一基板5の内部のみに形成されており、トレンチ溝8と積層酸化膜9とで絶縁分離されている。

【0007】Pチャネルの第一トランジスタ3は、ソース部11、その内側に位置するゲート部12、その中心に位置するドレイン部13、を具備しており、これらは第一基板5の位置に形成された一つのN-ウェル14上に位置している。

【0008】第一トランジスタ3のソース部11は、N-ウェル14上に位置するP型のソース拡散層21、この上面に位置するP+型のソースコンタクト拡散層22、この外側でN-ウェル14上に位置するN+型のバックゲートコンタクト拡散層23、を具備しており、これらのコンタクト拡散層22、23上にソース電極24が位置している。

【0009】第一トランジスタ3のドレイン部13は、N-ウェル14上に位置するP型のドレインオフセット拡散層25と、その上面中央に位置するP+型のドレインコンタクト拡散層26とを具備しており、このドレイン

コンタクト拡散層26上にドレイン電極27が位置している。

【0010】ドレインオフセット拡散層25とソース拡散層21とは、各々のコンタクト拡散層26、22よりゲート部12側に突出しており、このオフセットされた部分の上面にフィールド酸化膜28が位置している。このフィールド酸化膜28の上面にはゲート電極29が位置しており、この上面にゲート引出電極30が位置している。

【0011】上述のような構造のPチャネルの第一トランジスタ3にNチャネルの第二トランジスタ4が並設されており、この第二トランジスタ4も、ソース部41、その内側に位置するゲート部42、その中心に位置するドレイン部43、を具備している。

【0012】第二トランジスタ4のソース部41では、P-型の第一基板5の部分がソースベース層50とされており、この上にP型のソースシールド拡散層51が位置している。このソースシールド拡散層51の上面の内側と外側とにN+型のソースコンタクト拡散層52とN+型のバックゲートコンタクト拡散層53とが位置しており、これらのコンタクト拡散層52、53上にソース電極54が位置している。

【0013】第二トランジスタ4のドレイン部43では、P-型の第一基板5の位置にN-型のドレインオフセット拡散層55が形成されている。このドレインオフセット拡散層55の上面中央にはN+型のドレインコンタクト拡散層56が位置しており、このドレインコンタクト拡散層56上にドレイン電極57が位置している。

【0014】第二トランジスタ4でも、ドレインオフセット拡散層55とソースシールド拡散層51とは、各々のコンタクト拡散層56、52よりゲート部42側に突出しており、このオフセットされた部分の上面に、フィールド酸化膜58およびゲート酸化膜59が位置している。これらの酸化膜58、59の上面にはゲート電極60が位置しており、この上面にゲート引出電極61が位置している。

【0015】なお、上述のような構造の第一第二トランジスタ3、4の各電極24、27、30、54、57、61は、積層酸化膜9を貫通しており、その表面にはアイソレーション（図示せず）が位置している。ただし、このアイソレーションは部分的に除去されて電極24等が露出しているため、その部分が接続パッド（図示せず）とされている。

【0016】上述のような構造のCMOS回路1では、Pチャネルの第一トランジスタ3とNチャネルの第二トランジスタ4との両方がLMOS構造に形成されているので、その各々で電流がソース電極24、54からドレイン電極27、57までゲート部12を介して横方向に通電される。

【0017】さらに、各トランジスタ3、4の両方と

も、ドレインオフセット拡散層25、55がフィールド酸化膜28、59やフィールド酸化膜58の下面まで延長されたオフセット構造に形成されているので、その耐圧が増強されて高電圧のスイッチングなどが可能となっている。

【0018】ここで、上述のような構造のCMOS回路1の製造方法の一例を、図8ないし図11を参照して以下に簡単に説明する。まず、P-型のシリコン製の二枚の基板5、6を用意し、これらを膜厚2(μm)程度の SiO_2 フィルムからなる埋込酸化膜7を介して一体に接合し、図8(a)に示すように、第一基板5を5(μm)程度の板厚に研磨して一枚のSOI基板2を形成する。

【0019】つぎに、同図(b)に示すように、第一基板5の上面全域に熱酸化膜(図示せず)を形成してからバターニングして所定形状のマスク71を形成し、その開口部から第一基板5の内部に不純物としてリンをイオン注入する。これを熱処理して第一基板5に注入したリンを埋込酸化膜7の上面の位置まで拡散させ、第一トランジスタ3のN-ウェル14と第二トランジスタ4のドレインオフセット拡散層55とを同時に形成する。

【0020】つぎに、図9(a)に示すように、上述のマスク71を除去してから他形状のマスク72を再度形成し、その開口部から第一基板5に不純物としてボロンをイオン注入する。これも熱処理して表面から1~2(μm)程度の深度まで拡散させ、第一トランジスタ3のP型のソース拡散層21とドレインオフセット拡散層25および第二トランジスタ4のソースシールド拡散層51を同時に形成する。

【0021】つぎに、マスク72を除去してから窒化物により所定形状のマスク(図示せず)を形成し、同図(b)に示すように、LOCOS(Local Oxidation of the Surface、または、Local Oxidization of Silicon)法によりフィールド酸化膜28、58を0.5~1.0(μm)程度の膜厚に形成する。

【0022】つぎに、上面全域に熱酸化膜およびポリシリコン膜をCVD(Chemical Vapor Deposition)法で形成し、リンの拡散でポリシリコン膜に導電性を付与する。これで導電膜となったポリシリコン膜と熱酸化膜とを一度にバターニングし、図10(a)に示すように、熱酸化膜により第二トランジスタ3のゲート酸化膜59を形成するとともにポリシリコン膜により第一第二トランジスタ3、4のゲート電極29、60を形成する。

【0023】つぎに、前述と同様に所定形状のマスク(図示せず)を形成してリンやボロンなどを各部に適宜注入することにより、同図(b)に示すように、第一第二トランジスタ3、4の各コンタクト拡散層22、23、26、52、53、56を形成する。

【0024】つぎに、図11(a)に示すように、膜厚数100(nm)の酸化膜をCVD法で形成してからバターニングしてマスク73を形成し、シリコンエッチングに

より第一第二トランジスタ3、4の外周にトレンチ溝8を形成する。さらに、同図(b)に示すように、トレンチ溝8を埋め込むように酸化膜を1~2(μm)の膜厚に積層して積層酸化膜9を形成し、第一第二トランジスタ3、4を絶縁分離する。

【0025】そして、図7に示すように、積層酸化膜9の各所にコンタクトホールを形成してからアルミニウムのスパッタリング等で第一第二トランジスタ3、4の各電極24、27、30、54、57、61を膜厚0.5~2.0(μm)程度に形成することで、CMOS回路1が完成する。

【0026】

【発明が解決しようとする課題】上述のCMOS回路1では、PチャネルとNチャネルとの第一第二トランジスタ3、4の耐圧を向上させるため、その両方をLMOS構造でオフセット型に形成している。しかし、上述した構造のCMOS回路1では、実際にはPチャネルの第一トランジスタ3はNチャネルの第二トランジスタ4に比較して耐圧が低下しており、オン抵抗も高い。

【0027】つまり、第一トランジスタ3の耐圧は、ドレインオフセット拡散層25とN-ウェル14との接合状態に左右され、第二トランジスタ4の耐圧は、ドレインオフセット拡散層55とソーススペース層50との接合状態に左右される。第二トランジスタ4の場合、接合が形成される二層50、55のうち、不純物の拡散はドレインオフセット拡散層55の一度だけなので、耐圧が安定している。

【0028】一方、第一トランジスタ3の場合、上述の接合箇所はP-型の第一基板5にリン等が拡散されたN-ウェル14と、これにボロン等が拡散されたP型のドレインオフセット拡散層25となる。このため、第一トランジスタ3では、不純物の拡散が二層14、25の両方で行われており、特に、ドレインオフセット拡散層25では二度まで行われているので、耐圧を安定させることが困難である。

【0029】さらに、トランジスタ3、4の耐圧は上述の接合箇所の曲率半径にも左右されるが、第二トランジスタ4の深いドレインオフセット拡散層55に比較して第一トランジスタ3の浅いドレインオフセット拡散層25は接合境界の曲率半径も小さいため、この点でも第一トランジスタ3は耐圧が低下している。

【0030】また、上述のように第一トランジスタ3は耐圧が低いので、ドレインオフセット拡散層25を小型化することができない。このため、第一トランジスタ3の占有面積を小型化することができず、CMOS回路1は、全体のチップ面積を小型化することが困難である。従って、構造が複雑で高価なSOI基板2の使用量を削減することができず、CMOS回路1は生産性の向上が困難である。

【0031】しかも、第二トランジスタ4は、ドレイン

電流が広く深いドレインオフセット拡散層55を通電されるのでオン抵抗が低い、第一トランジスタ3は、狭く浅いドレインオフセット拡散層25を通電されるのでオン抵抗も高い。

【0032】本発明は上述のような課題に鑑みてなされたものであり、良好な耐圧を安定に確保することができ、オン抵抗も低減されている半導体装置、その製造方法を提供することを目的とする。

【0033】

【課題を解決するための手段】本発明の一の半導体装置は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一対のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS構造の半導体装置において、第二導電型の前記トランジスタは、前記第一基板からなるソーススペース層と不純物が拡散された前記第一基板からなるドレインオフセット拡散層とを具備したLMOS構造に形成されており、第一導電型の前記トランジスタは、不純物が拡散された前記第一基板からなるソーススペース層と前記第一基板からなるドレインベース層とを具備したLDMOS構造に形成されている。

【0034】従って、LDMOS構造のトランジスタでは、ソース拡散層とは別個に専用のソーススペース拡散層が第一基板の位置に形成され、このソーススペース拡散層と接合されるドレインベース層も第一基板の位置に形成される。このドレインベース層がドレインオフセット拡散層と同一に機能するので、LDMOS構造の第一導電型のトランジスタは、第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成される。なお、本発明で云う第一導電型とは、いわゆるP型とN型との任意の一方を意味しており、第二導電型とは他方を意味している。

【0035】本発明の他の半導体装置は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一対のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS構造の半導体装置において、第二導電型の前記トランジスタが、前記第一基板からなる第一導電型のソーススペース層と、該ソーススペース層上に位置する第二導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層上と前記ソーススペース層上とに位置するゲート酸化膜と、不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層と、を具備しており、第一導電型の前記トランジスタが、不純物が拡散された前記第一基板で形成された第二導電型のソーススペース拡散層と、該ソーススペース拡散層上に位置する第一導電型のソース拡散層と、該ソース拡散層に導通したソース電極と、前記ソース拡散層上と前記ソーススペース

ス拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、該フィールド酸化膜上に位置するゲート電極と、前記第一基板からなる第一導電型のドレインベース層と、該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層に導通したドレイン電極と、を具備している。

【0036】従って、第一導電型のトランジスタが、ソース拡散層とは別個に専用のソーススペース拡散層を第一基板の位置に具備しており、このソーススペース拡散層と接合されるドレインベース層も第一基板の位置に具備している。このドレインベース層がドレインオフセット拡散層と同一に機能するので、第一導電型のトランジスタは、第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成されている。

【0037】本発明の他の半導体装置は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一対のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS構造の半導体装置において、第二導電型の前記トランジスタが、前記第一基板からなる第一導電型のソーススペース層と、該ソーススペース層上に位置する第二導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層に導通したソース電極と、前記ソースコンタクト拡散層上と前記ソーススペース層上とに位置するゲート酸化膜と、該ゲート酸化膜上に位置するゲート電極と、不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層に導通したドレイン電極と、を具備しており、第一導電型の前記トランジスタが、不純物が拡散された前記第一基板で形成された第二導電型のソーススペース拡散層と、該ソーススペース拡散層上に位置する第一導電型のソース拡散層と、該ソース拡散層に導通したソース電極と、前記ソース拡散層上と前記ソーススペース層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、該フィールド酸化膜上に位置するゲート電極と、前記第一基板からなる第一導電型のドレインベース層と、該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層に導通したドレイン電極と、を具備している。

【0038】従って、第一導電型のトランジスタが、ソース拡散層とは別個に専用のソーススペース拡散層を第一基板の位置に具備しており、このソーススペース拡散層と接合されるドレインベース層も第一基板の位置に具備している。このドレインベース層がドレインオフセット拡散層と同一に機能するので、第一導電型のトランジスタは、第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成されている。

【0039】本発明の他の半導体装置は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一対のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS構造の半導体装置において、第二導電型の前記トランジスタが、前記第一基板からなる第一導電型のソースベース層と、該ソースベース層上に位置する第一導電型のソースシールド拡散層と、該ソースシールド拡散層上に位置する第二導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層に隣接して前記ソースシールド拡散層上に位置する第一導電型のバックゲートコンタクト拡散層と、該バックゲートコンタクト拡散層および前記ソースコンタクト拡散層上に位置するソース電極と、前記ソースコンタクト拡散層上と前記ソースベース層上とに位置するゲート酸化膜と、該ゲート酸化膜上に位置するゲート電極と、該ゲート電極上に位置するゲート引出電極と、不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層上に位置する第二導電型のドレインコンタクト拡散層と、該ドレインコンタクト拡散層上に位置するドレイン電極と、を具備しており、第一導電型の前記トランジスタが、不純物が拡散された前記第一基板で形成された第二導電型のソースベース拡散層と、該ソースベース拡散層上に位置する第一導電型のソース拡散層と、該ソース拡散層上に位置する第一導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層に隣接して前記ソースベース拡散層上に位置する第二導電型のバックゲートコンタクト拡散層と、前記ソースコンタクト拡散層および前記バックゲートコンタクト拡散層上に位置するソース電極と、前記ソース拡散層上と前記ソースベース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、該フィールド酸化膜上に位置するゲート電極と、該ゲート電極上に位置するゲート引出電極と、前記第一基板からなる第一導電型のドレインベース層と、該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層上に位置する第一導電型のドレインコンタクト拡散層と、該ドレインコンタクト拡散層上に位置するドレイン電極と、を具備している。

【0040】従って、第一導電型のトランジスタが、ソース拡散層とは別個に専用のソースベース拡散層を第一基板の位置に具備しており、このソースベース拡散層と接合されるドレインベース層も第一基板の位置に具備している。このドレインベース層がドレインオフセット拡散層と同一に機能するので、第一導電型のトランジスタは、第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成されている。

【0041】上述のような半導体装置における他の発明

としては、第一導電型の前記トランジスタのソースベース拡散層と第二導電型の前記トランジスタのドレインオフセット拡散層とが前記第一基板の表面から前記埋込酸化膜の表面まで位置している。

【0042】従って、半導体装置の製造工程において、第一導電型のトランジスタのソースベース拡散層と第二導電型のトランジスタのドレインオフセット拡散層と不純物の拡散により第一基板に形成するとき、この不純物の拡散が埋込酸化膜の位置で停止するので、これらの拡散層が一定の形状に安定して形成される。

【0043】本発明の一の半導体装置の製造方法は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一対のオフセット型のトランジスタを相互に絶縁分離して形成するCMOS構造の半導体装置の製造方法において、第二導電型の前記トランジスタを前記第一基板からなるソースベース層と不純物が拡散された前記第一基板からなるドレインオフセット拡散層とを具備したLMOS構造に形成するとともに、第一導電型の前記トランジスタを不純物が拡散された前記第一基板からなるソースベース層と前記第一基板からなるドレインベース層とを具備したLDMOS構造に形成するようにした。

【0044】従って、LDMOS構造のトランジスタは、ソース拡散層とは別個に専用のソースベース拡散層が第一基板の位置に形成され、このソースベース拡散層と接合されるドレインベース層も第一基板の位置に形成される。このドレインベース層がドレインオフセット拡散層と同一に機能するので、LDMOS構造の第一導電型のトランジスタは、第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成される。

【0045】上述のような半導体装置の製造方法における他の発明としては、第二導電型の前記トランジスタは、前記第一基板からなる第一導電型のソースベース層と、該ソースベース層上に位置する第二導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層上と前記ソースベース層上とに位置するゲート酸化膜と、不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層とが形成され、第一導電型の前記トランジスタは、不純物が拡散された前記第一基板で形成された第二導電型のソースベース拡散層と、該ソースベース拡散層上に位置する第一導電型のソース拡散層と、該ソース拡散層に導通したソース電極と、前記ソース拡散層上と前記ソースベース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、該フィールド酸化膜上に位置するゲート電極と、前記第一基板からなる第一導電型のドレインベース層と、該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型の

ドレインオフセット拡散層と、該ドレインオフセット拡散層に導通したドレイン電極とが形成される。

【0046】従って、第一導電型のトランジスタは第一基板の位置にソースベース拡散層とドレインベース層とが別個に形成され、第二導電型のトランジスタも第一基板の位置にソースベース層とドレインオフセット拡散層とが別個に形成されるので、第一導電型と第二導電型とのトランジスタが、同様に耐圧が高くオン抵抗が低い構造に形成される。

【0047】本発明の他の半導体装置の製造方法は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造でオフセット型の第一導電型の第一トランジスタと第二導電型の第二トランジスタとを形成するCMOS構造の半導体装置の製造方法において、前記第一基板の前記第一トランジスタのソースベース拡散層と前記第二トランジスタのドレインオフセット拡散層との位置に不純物を拡散させて前記第一トランジスタの第二導電型のソースベース拡散層と前記第二トランジスタの第二導電型のドレインオフセット拡散層とを同時に形成し、前記第一基板の前記第一トランジスタのソース拡散層とドレインオフセット拡散層および前記第二トランジスタの第一導電型のソース拡散層の位置に不純物を拡散させて前記第一トランジスタの第一導電型のソース拡散層とドレインオフセット拡散層および前記第二トランジスタの第一導電型のソース拡散層を同時に形成し、前記第一基板の上面に前記第一トランジスタのゲート酸化膜を兼用したフィールド酸化膜と前記第二トランジスタのフィールド酸化膜とを同時に形成し、該フィールド酸化膜を介した前記第一基板の上面全域に熱酸化膜と導電膜とを形成してから一度にパターンニングして前記熱酸化膜により前記第二トランジスタのゲート酸化膜を形成するとともに前記導電膜により前記第一第二トランジスタのゲート電極を形成し、前記第一基板の前記第一第二トランジスタのソースコンタクト拡散層とドレインコンタクト拡散層との位置に不純物を拡散させて前記第一第二トランジスタのソースコンタクト拡散層とドレインコンタクト拡散層とを形成し、前記第一基板の前記第一第二トランジスタを絶縁分離する位置にトレンチ溝を形成して積層酸化膜で埋め込むことにより前記第一第二トランジスタを絶縁分離し、前記積層酸化膜の前記コンタクト拡散層の位置にコンタクトホールを形成して各種の前記コンタクト拡散層に各種の電極を接続するようにした。

【0048】従って、第一トランジスタは、ソース拡散層とは別個に専用のソースベース拡散層が第一基板の位置に形成され、このソースベース拡散層と接合されるドレインベース層も第一基板の位置に形成される。このドレインベース層がドレインオフセット拡散層と同一に機能するので、第一トランジスタは、第二トランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成さ

れる。

【0049】なお、本発明で云う基板等の上面とは、基板等に対して層膜の形成などを実行する一面を意味しており、その面が装置の製造時や使用時に実際に上方を向いている必要はない。

【0050】上述のような半導体装置の製造方法における他の発明としては、前記第一トランジスタの第二導電型のソースベース拡散層と前記第二トランジスタの第二導電型のドレインオフセット拡散層とを形成するとき、不純物を前記第一基板の表面から前記埋込酸化膜の表面まで拡散させるようにした。

【0051】従って、不純物の拡散により第一基板に形成する第一トランジスタのソースベース拡散層と第二トランジスタのドレインオフセット拡散層とが一定の形状に安定して形成される。

【0052】

【発明の実施の形態】本発明の実施の一形態を図1ないし図6を参照して以下に説明する。なお、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称および符号を流用して詳細な説明は省略する。

【0053】図1は本実施の形態の半導体装置の積層構造を示す縦断正面図であり、図2ないし図5はCMOS回路の製造方法での各工程を順番に示す縦断正面図である。図6は本実施の形態のCMOS回路のPチャネルのLDMOS構造の第一トランジスタと一従来例のCMOS回路のPチャネルのLMOS構造の第一トランジスタとのオフセット長と耐圧との関係を示す特性図である。

【0054】ただし、図面はCMOS回路の積層構造を明瞭にするために模式的に表現しており、各部の積層方向での位置関係などは実際の構造を反映しているが、各部の寸法関係などは実際の装置と多分に相違している。

【0055】また、本実施の形態でもSOI基板に対して各種層膜が形成された方向を上方として装置構造を説明するが、これは説明を簡略化するために便宜的に定義するものであり、実際の装置の製造や使用の方向を限定するものではない。さらに、本実施の形態でも、P型等において濃度が高いものをP+型、低いものをP-型のように表記するので、P-はPマイナスであってPハイフンではない。

【0056】本実施の形態の半導体装置であるCMOS回路100も、一従来例として前述したCMOS回路1と同様に、第一導電型であるP型の一枚のSOI基板2に、第一導電型であるPチャネルの第一トランジスタ101と、第二導電型であるNチャネルの第二トランジスタ102とが、両方ともオフセット型で形成されている。しかし、前述したCMOS回路1とは相違して、図1に示すように、第二トランジスタ102のみLMOS構造に形成されており、第一トランジスタ101はLDMOS構造に形成されている。

【0057】より詳細には、SOI基板2は、第一導電

型であるP-型の第一第二基板5, 6が一つの埋込酸化膜7を介して一体に接合された構造からなり、第一第二トランジスタ101, 102は、埋込酸化膜7より上方の第一基板5の内部のみに、トレンチ溝8と積層酸化膜9とで絶縁分離された状態で形成されている。

【0058】Pチャネルの第一トランジスタ101は、ソース部111、その内側に位置するゲート部112、その中心に位置するドレイン部113、を具備しているが、ソース部111は、P-型の第一基板5の位置にN-型のソーススペース拡散層114が形成されている。

【0059】このソーススペース拡散層114上にP型のソース拡散層121が位置しており、この上面にP+型のソースコンタクト拡散層122が位置している。このソースコンタクト拡散層112の外側でN-型のソーススペース拡散層114上にはN+型のバックゲートコンタクト拡散層123が位置しており、これらのコンタクト拡散層122, 123上にソース電極124が位置している。

【0060】第一トランジスタ101のドレイン部113は、P-型の第一基板5の部分がドレインベース層125とされており、この上にP型のドレインオフセット拡散層126が位置している。このドレインオフセット拡散層126の上面中央にはP+型のドレインコンタクト拡散層127が位置しており、この上面にドレイン電極128が位置している。

【0061】ドレインオフセット拡散層126とソース拡散層121とは、各々のコンタクト拡散層127, 122よりゲート部112側に突出しており、このオフセットされた部分の上面に、ゲート酸化膜を兼用したフィールド酸化膜129が位置している。このフィールド酸化膜129の上面にはゲート電極130が位置しており、この上面にゲート引出電極131が位置している。

【0062】上述のような構造のPチャネルの第一トランジスタ101にNチャネルの第二トランジスタ102が並設されているが、この第二トランジスタ102の構造は前述した一従来例のCMOS回路1と同一なので、ここでは同一の名称と符号とを流用して説明は省略する。

【0063】上述のような構成において、本実施の形態のCMOS回路100では、Pチャネルの第一トランジスタ101とNチャネルの第二トランジスタ102とは両方ともオフセット型に形成されている。しかし、第二トランジスタ102のみLDMOS構造に形成されて第一トランジスタ101はLDMOS構造に形成されているので、第一トランジスタ101も第二トランジスタ102と同様に耐圧が向上しており、オン抵抗も低減されている。

【0064】このことを以下に説明する。まず、前述のようにオフセット型のトランジスタ101, 102の耐圧は、ドレインオフセット拡散層126, 55とソース

ベース(拡散)層50, 114との接合状態に左右される。そして、本実施の形態のCMOS回路100では、ドレインオフセット拡散層126にP-型の第一基板5からなるドレインベース層125が一体に接合されており、これらの二層125, 126が一つのドレインオフセット拡散層として機能する。

【0065】そのドレインベース層125はP-型の第一基板5からなり、この第一基板5に不純物としてリン等を拡散させたN-型のソーススペース拡散層114に接合されている。このため、第一トランジスタ101は、不純物の拡散がソーススペース拡散層114を形成する一回だけなので、耐圧が安定している。

【0066】さらに、トランジスタ101, 102の耐圧は上述の接合箇所の曲率半径にも左右されるが、第一トランジスタ101のドレインオフセット拡散層126は第二トランジスタ102のドレインオフセット拡散層55と同様に深く、その接合境界の曲率半径は大きいので、この点でも第一トランジスタ101は耐圧が良好である。

【0067】本発明者は従来のCMOS回路1と本実施の形態のCMOS回路100とを実際に試作し、第一トランジスタ3, 101のオフセット長と耐圧との関係を測定した。すると、図6に示すように、従来の構造ではオフセット長を18(μm)程度まで延長しても耐圧が280(V)程度で飽和したが、本実施の形態の構造では耐圧280(V)程度ならばオフセット長は13(μm)程度で良く、オフセット長を16(μm)程度まで延長すれば300(V)以上の耐圧を獲得することができた。

【0068】本実施の形態のCMOS回路100は、上述のように第一トランジスタ101の耐圧が構造的に高いので、第一トランジスタ101を小型化して占有面積を縮小することができる。従って、本実施の形態のCMOS回路100は、そのチップ面積を縮小することができ、構造が複雑で高価なSOI基板2の使用量を削減することができる。

【0069】例えば、従来のCMOS回路1では、第一トランジスタ3が全体の40%の面積を占有したが、本実施の形態のCMOS回路100では、第一トランジスタ101の占有面積を従来の半分とすることができるので、全体の面積を20%ほど削減することができる。

【0070】しかも、第一トランジスタ101は、ドレイン電流を第二トランジスタ102と同様に広く深いドレインオフセット拡散層126に通電するので、オン抵抗も低い。例えば、本実施の形態のCMOS回路100では、第一トランジスタ101の耐圧を従来のCMOS回路1と同一とした場合、そのオン抵抗は略半分となる。

【0071】つまり、本実施の形態のCMOS回路100は、オフセット構造の第一第二トランジスタ101, 102の両方とも同様に耐圧が安定して高く、占有面積

が小さくドレイン電流のオン抵抗も低いので、例えば、プラズマディスプレイの高性能で小型の駆動回路などとして利用することができる。

【0072】しかも、本実施の形態のCMOS回路100では、LDMOS構造の第一トランジスタ101のソーススペース拡散層114を第二トランジスタ102のドレインオフセット拡散層50と同時に形成することができるので、従来のCMOS回路1に比較して製造工程が増加することもない。

【0073】ここで、上述のような構造のCMOS回路100の製造方法の実施の一形態を、図2ないし図5を参照して以下に簡単に説明する。まず、P型のシリコン製の二枚の基板5、6を膜厚2(μm)程度の SiO_2 フィルムからなる埋込酸化膜7を介して一体に接合し、図2(a)に示すように、第一基板5を5(μm)程度の板厚まで研磨して一枚のSOI基板2を形成する。

【0074】つぎに、同図(b)に示すように、第一基板5の上面に所定形状のマスク141を形成し、その開口部から第一基板5の内部にリンをイオン注入して熱処理で埋込酸化膜7の上面の位置まで拡散させ、第一トランジスタ101のN型のソーススペース拡散層114と第二トランジスタ102のドレインオフセット拡散層55とを同時に形成する。

【0075】つぎに、図3(a)に示すように、上述のマスク141を除去してから他形状のマスク142を再度形成し、その開口部から第一基板5に不純物としてボロンをイオン注入して熱処理で1~2(μm)程度の深度まで拡散させ、第一トランジスタ101のP型のソース拡散層121とドレインオフセット拡散層126および第二トランジスタ102のソースシールド拡散層51を同時に形成する。つぎに、同図(b)に示すように、上述のマスク142を除去してから既存のLOCOS法によりフィールド酸化膜129、58を0.5~1.0(μm)程度の膜厚に形成する。

【0076】つぎに、上面全域に熱酸化膜およびポリシリコン膜をCVD法で形成し、不純物であるリンの拡散によりポリシリコン膜に導電性を付与する。これで導電膜となったポリシリコン膜と熱酸化膜とを一度にパターニングし、図4(a)に示すように、熱酸化膜により第二トランジスタ3のゲート酸化膜59を形成するとともにポリシリコン膜により第一第二トランジスタ101、102のゲート電極130、60を形成する。

【0077】つぎに、所定形状のマスク(図示せず)を形成してリンやボロンなどを各部に適宜注入することにより、同図(b)に示すように、第一第二トランジスタ101、102の各コンタクト拡散層122、123、127、52、53、56を形成する。

【0078】つぎに、図5(a)に示すように、膜厚数100(nm)の酸化膜をCVD法で形成してからパターニングしてマスク143を形成し、シリコンエッチングに

より第一第二トランジスタ101、102の外周にトレンチ溝8を形成する。さらに、同図(b)に示すように、トレンチ溝8を埋め込むように酸化膜を1~2(μm)の膜厚に積層して積層酸化膜9を形成し、第一第二トランジスタ101、102を絶縁分離する。

【0079】そして、図1に示すように、積層酸化膜9の各所にコンタクトホールを形成してからアルミニウムのスパッタリング等で第一第二トランジスタ101、102の各電極124、128、131、54、57、61を膜厚0.5~2.0(μm)程度に形成することで、CMOS回路100が完成する。

【0080】本実施の形態のCMOS回路100の第一トランジスタ101は、従来のCMOS回路1の第一トランジスタ3と比較すると、ソーススペース拡散層114およびドレインベース層125の部分が構造的に増加している。

【0081】しかし、本実施の形態のCMOS回路100の製造方法では、上述のように第一トランジスタ101のソーススペース拡散層114およびドレインベース層125を第二トランジスタ102のドレインオフセット拡散層55およびソーススペース層50と同時に形成するので、その製造のために工程が増加せず生産性は低下しない。

【0082】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態ではP型のSOI基板2にPチャネルの第一トランジスタ101をLDMOS構造で形成するとともにNチャネルの第二トランジスタ102をLMOS構造で形成することを例示したが、N型の基板にN型の第一トランジスタをLDMOS構造で形成するとともにP型の第二トランジスタをLMOS構造で形成することも可能である(図示せず)。

【0083】また、上記形態では第一基板5の板厚を5(μm)、埋込酸化膜7の膜厚を2(μm)とすることを例示したが、これらも各種に設定することができる。なお、第一基板5の板厚や埋込酸化膜7の膜厚を増加させるほどトランジスタ101、102の耐圧は向上するが、第一基板5の板厚を増加させるとトレンチ溝8の形成や埋め込みが困難となり、埋込酸化膜7の膜厚を増加させるとSOI基板2の反りも増加して集積度の向上が困難となる。

【0084】このため、第一基板5の板厚や埋込酸化膜7の膜厚は必要な性能や装置の仕様を考慮して適正に設定することが好ましく、実際には第一基板5の板厚は3~10(μm)程度、埋込酸化膜7の膜厚は1~3(μm)程度が好適である。

【0085】また、ゲート酸化膜59およびゲート酸化膜を兼用したフィールド酸化膜129も、第一第二トランジスタ101、102の耐圧を向上させるためには膜厚を増加させることが好ましいが、これらの酸化膜5

9, 129としては必要な膜厚を確保できれば厚すぎないことが好ましい。

【0086】さらに、トレンチ溝8は狭い方が回路面積を縮小でき、積層酸化膜9による埋め込みも容易となるが、これはエッチング技術に左右されるので、現在では“深度：開口幅＝5：1”程度のアスペクト比となる。

【0087】また、積層酸化膜9は、絶縁耐圧の観点からは厚い方が良いが、あまり厚いと電極124等のコンタクトホール形成が困難となるため、適正に設定することが好ましい。さらに、積層酸化膜9は、できるだけ平坦に形成するため、絶縁材料を数回に分けて成膜する、エッチバックしながら成膜する、一度に成膜してから研磨する、等が好ましい。

【0088】また、電極124等を金属で形成するとき、コンタクトホールが狭い場合には、タングステンのスパッタリングでコンタクトホールを埋め込んでからアルミニウムを形成することも可能である。金属製の電極124等は厚い方が容量が大きいので大電流の通電に有利となるが、微細加工の観点からは不利となるので、適正に設定することが好ましい。

【0089】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0090】本発明の半導体装置は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一対のオフセット型のトランジスタが相互に絶縁分離されて形成されているCMOS構造の半導体装置において、請求項1記載の発明では、第二導電型の前記トランジスタは、前記第一基板からなるソーススペース層と不純物が拡散された前記第一基板からなるドレインオフセット拡散層とを具備したLMOS構造に形成されており、第一導電型の前記トランジスタは、不純物が拡散された前記第一基板からなるソーススペース層と前記第一基板からなるドレインベース層とを具備したLDMOS構造に形成されていることにより、第一導電型のトランジスタを第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成することができ、第一導電型のトランジスタの占有面積を縮小することができるので、小型かつ安価で高性能な半導体装置を提供することができる。

【0091】請求項2記載の発明では、第二導電型の前記トランジスタが、前記第一基板からなる第一導電型のソーススペース層と、該ソーススペース層上に位置する第二導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層上と前記ソーススペース層上とに位置するゲート酸化膜と、不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層と、を具備したLMOS構造からなり、第一導電型の前記トランジスタが、不純物が拡散

された前記第一基板で形成された第二導電型のソーススペース拡散層と、該ソーススペース拡散層上に位置する第一導電型のソース拡散層と、該ソース拡散層に導通したソース電極と、前記ソース拡散層上と前記ソーススペース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、該フィールド酸化膜上に位置するゲート電極と、前記第一基板からなる第一導電型のドレインベース層と、該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層に導通したドレイン電極と、を具備していることにより、第一導電型のトランジスタを第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成することができ、第一導電型のトランジスタの占有面積を縮小することができるので、小型かつ安価で高性能な半導体装置を提供することができる。

【0092】請求項3記載の発明では、第二導電型の前記トランジスタが、前記第一基板からなる第一導電型のソーススペース層と、該ソーススペース層上に位置する第二導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層に導通したソース電極と、前記ソースコンタクト拡散層上と前記ソーススペース層上とに位置するゲート酸化膜と、該ゲート酸化膜上に位置するゲート電極と、不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層に導通したドレイン電極と、を具備しており、第一導電型の前記トランジスタが、不純物が拡散された前記第一基板で形成された第二導電型のソーススペース拡散層と、該ソーススペース拡散層上に位置する第一導電型のソース拡散層と、該ソース拡散層に導通したソース電極と、前記ソース拡散層上と前記ソーススペース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、該フィールド酸化膜上に位置するゲート電極と、前記第一基板からなる第一導電型のドレインベース層と、該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層に導通したドレイン電極と、を具備していることにより、第一導電型のトランジスタを第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成することができ、第一導電型のトランジスタの占有面積を縮小することができるので、小型かつ安価で高性能な半導体装置を提供することができる。

【0093】請求項4記載の発明では、第二導電型の前記トランジスタが、前記第一基板からなる第一導電型のソーススペース層と、該ソーススペース層上に位置する第一導電型のソースシールド拡散層と、該ソースシールド拡散層上に位置する第二導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層に隣接して前記ソースシールド拡散層上に位置する第一導電型のバックゲートコ

ンタクト拡散層と、該バックゲートコンタクト拡散層と前記ソースコンタクト拡散層上に位置するソース電極と、前記ソースコンタクト拡散層上と前記ソースベース層上とに位置するゲート酸化膜と、該ゲート酸化膜上に位置するゲート電極と、該ゲート電極上に位置するゲート引出電極と、不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層上に位置する第二導電型のドレインコンタクト拡散層と、該ドレインコンタクト拡散層上に位置するドレイン電極と、を具備しており、第一導電型の前記トランジスタが、不純物が拡散された前記第一基板で形成された第二導電型のソースベース拡散層と、該ソースベース拡散層上に位置する第一導電型のソース拡散層と、該ソース拡散層上に位置する第一導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層に隣接して前記ソースベース拡散層上に位置する第二導電型のバックゲートコンタクト拡散層と、前記ソースコンタクト拡散層および前記バックゲートコンタクト拡散層上に位置するソース電極と、前記ソース拡散層上と前記ソースベース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、該フィールド酸化膜上に位置するゲート電極と、該ゲート電極上に位置するゲート引出電極と、前記第一基板からなる第一導電型のドレインベース層と、該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層上に位置する第一導電型のドレインコンタクト拡散層と、該ドレインコンタクト拡散層上に位置するドレイン電極と、を具備していることにより、第一導電型のトランジスタを第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成することができ、第一導電型のトランジスタの占有面積を縮小することができるので、小型かつ安価で高性能な半導体装置を提供することができる。

【0094】請求項5記載の発明は、請求項2ないし4の何れか一記載の半導体装置であって、第一導電型の前記トランジスタのソースベース拡散層と第二導電型の前記トランジスタのドレインオフセット拡散層とが前記第一基板の表面から前記埋込酸化膜の表面まで位置していることにより、製造工程において不純物の拡散により第一基板に形成する第一導電型のトランジスタのソースベース拡散層と第二導電型のトランジスタのドレインオフセット拡散層とを埋込酸化膜の位置で停止させることができるので、これらの拡散層を一定の形状に安定して形成することができ、性能が安定した半導体装置を提供することができる。

【0095】請求項6記載の発明の半導体装置の製造方法は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造の第一導電型と第二導電型との一対のオフセット型のトランジ

スタを相互に絶縁分離して形成するCMOS構造の半導体装置の製造方法において、第二導電型の前記トランジスタを前記第一基板からなるソースベース層と不純物が拡散された前記第一基板からなるドレインオフセット拡散層とを具備したLMOS構造に形成するとともに、第一導電型の前記トランジスタを不純物が拡散された前記第一基板からなるソースベース層と前記第一基板からなるドレインベース層とを具備したLDMOS構造に形成するようにしたことにより、第一導電型のトランジスタを第二導電型のトランジスタと同様に耐圧が安定して高くオン抵抗が低い構造に形成することができ、第一導電型のトランジスタの占有面積を縮小することができるので、半導体装置を小型かつ安価で高性能に製造することができる。

【0096】請求項7記載の発明は、請求項6記載の半導体装置の製造方法であって、第二導電型の前記トランジスタに、前記第一基板からなる第一導電型のソースベース層と、該ソースベース層上に位置する第二導電型のソースコンタクト拡散層と、該ソースコンタクト拡散層上と前記ソースベース層上とに位置するゲート酸化膜と、不純物が拡散された前記第一基板で形成されて前記ゲート酸化膜下まで延長された第二導電型のドレインオフセット拡散層とを形成し、第一導電型の前記トランジスタに、不純物が拡散された前記第一基板で形成された第二導電型のソースベース拡散層と、該ソースベース拡散層上に位置する第一導電型のソース拡散層と、該ソース拡散層に導通したソース電極と、前記ソース拡散層上と前記ソースベース拡散層上とに位置してゲート酸化膜を兼用したフィールド酸化膜と、該フィールド酸化膜上に位置するゲート電極と、前記第一基板からなる第一導電型のドレインベース層と、該ドレインベース層上に位置して前記フィールド酸化膜下まで延長された第一導電型のドレインオフセット拡散層と、該ドレインオフセット拡散層に導通したドレイン電極とを形成することにより、第一導電型のトランジスタと第二導電型のトランジスタとを同様に耐圧が高くオン抵抗が低い構造に形成することができる。

【0097】請求項8記載の発明の半導体装置の製造方法は、第一導電型の第一第二基板が埋込酸化膜を介して一体に接合された一枚のSOI基板にMOS構造でオフセット型の第一導電型の第一トランジスタと第二導電型の第二トランジスタとを形成するCMOS構造の半導体装置の製造方法において、前記第一基板の前記第一トランジスタのソースベース拡散層と前記第二トランジスタのドレインオフセット拡散層との位置に不純物を拡散させて前記第一トランジスタの第二導電型のソースベース拡散層と前記第二トランジスタの第二導電型のドレインオフセット拡散層とを同時に形成し、前記第一基板の前記第一トランジスタのソース拡散層とドレインオフセット拡散層および前記第二トランジスタの第一導電型のソ

ソース拡散層の位置に不純物を拡散させて前記第一トランジスタの第一導電型のソース拡散層とドレインオフセット拡散層および前記第二トランジスタの第一導電型のソース拡散層を同時に形成し、前記第一基板の上面に前記第一トランジスタのゲート酸化膜を兼用したフィールド酸化膜と前記第二トランジスタのフィールド酸化膜とを同時に形成し、該フィールド酸化膜を介した前記第一基板の上面全域に熱酸化膜と導電膜とを形成してから一度にパターニングして前記熱酸化膜により前記第二トランジスタのゲート酸化膜を形成するとともに前記導電膜により前記第一第二トランジスタのゲート電極を形成し、前記第一基板の前記第一第二トランジスタのソースコンタクト拡散層とドレインコンタクト拡散層との位置に不純物を拡散させて前記第一第二トランジスタのソースコンタクト拡散層とドレインコンタクト拡散層とを形成し、前記第一基板の前記第一第二トランジスタを絶縁分離する位置にトレンチ溝を形成して積層酸化膜で埋め込むことにより前記第一第二トランジスタを絶縁分離し、前記積層酸化膜の前記コンタクト拡散層の位置にコンタクトホールを形成して各種の前記コンタクト拡散層に各種の電極を接続するようにしたことにより、第一トランジスタを第二トランジスタと同様に耐圧が高くオン抵抗が低い構造に形成して占有面積を縮小することができるので、半導体装置を小型かつ安価で高性能に製造することができ、第一トランジスタのドレインベース層やソースベース拡散層を第二トランジスタのドレインベース層やソースベース層と同時に形成することができるので、半導体装置を良好な生産性で製造することができる。

【0098】請求項9記載の発明は、請求項8記載の半導体装置の製造方法であって、前記第一トランジスタの第二導電型のソースベース拡散層と前記第二トランジスタの第二導電型のドレインオフセット拡散層とを形成するとき、不純物を前記第一基板の表面から前記埋込酸化膜の表面まで拡散させるようにしたことにより、不純物の拡散により第一基板に形成する第一トランジスタのソースベース拡散層と第二トランジスタのドレインオフセット拡散層とを一定の形状に安定して形成することができるので、半導体装置を安定した性能で製造することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の半導体装置であるCMOS回路の積層構造を示す縦断正面図である。

【図2】CMOS回路の製造方法の第一第二工程を示す縦断正面図である。

【図3】CMOS回路の製造方法の第三第四工程を示す縦断正面図である。

【図4】CMOS回路の製造方法の第五第六工程を示す縦断正面図である。

【図5】CMOS回路の製造方法の第七第八工程を示す縦断正面図である。

【図6】本発明の実施の一形態のCMOS回路と一従来例のCMOS回路とのオフセット長と耐圧との関係を示す特性図である。

【図7】一従来例の半導体装置であるCMOS回路の積層構造を示す縦断正面図である。

【図8】CMOS回路の製造方法の第一第二工程を示す縦断正面図である。

【図9】CMOS回路の製造方法の第三第四工程を示す縦断正面図である。

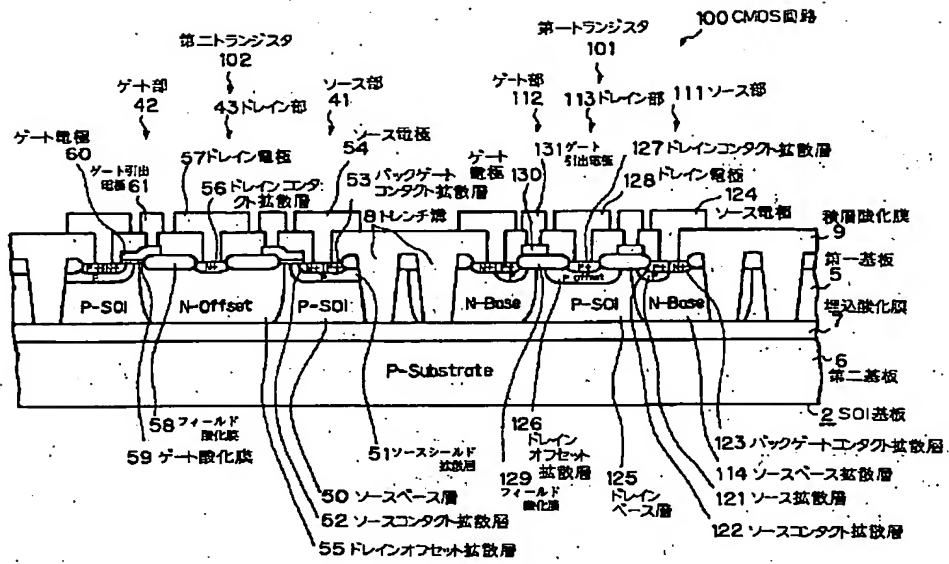
【図10】CMOS回路の製造方法の第五第六工程を示す縦断正面図である。

【図11】CMOS回路の製造方法の第七第八工程を示す縦断正面図である。

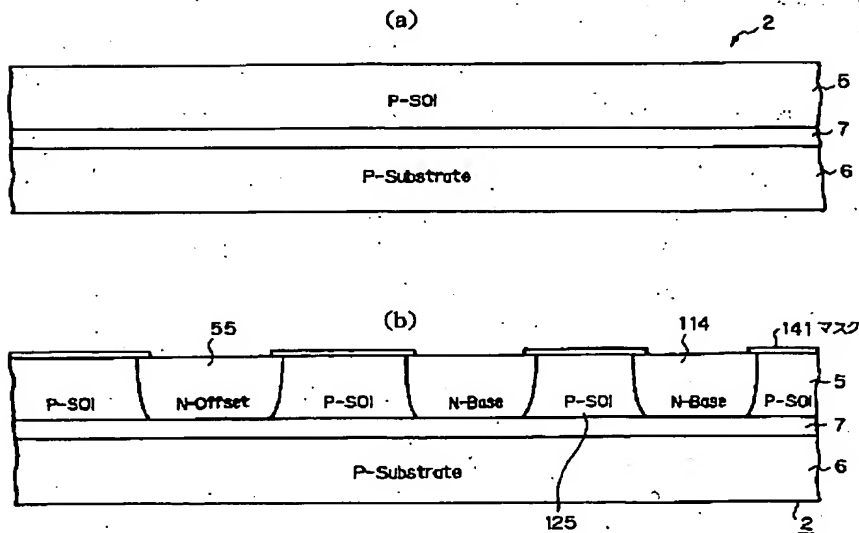
【符号の説明】

- | | |
|---------|----------------|
| 2 | SOI基板 |
| 5 | 第一基板 |
| 6 | 第二基板 |
| 7 | 埋込酸化膜 |
| 8 | トレンチ溝 |
| 9 | 積層酸化膜 |
| 41, 111 | ソース部 |
| 42, 112 | ゲート部 |
| 43, 113 | ドレイン部 |
| 50 | ソースベース層 |
| 51 | ソースシールド拡散層 |
| 52, 122 | ソースコンタクト拡散層 |
| 53, 123 | バックゲートコンタクト拡散層 |
| 54, 124 | ソース電極 |
| 55, 126 | ドレインオフセット拡散層 |
| 56, 127 | ドレインコンタクト拡散層 |
| 57, 128 | ドレイン電極 |
| 58, 129 | フィールド酸化膜 |
| 59 | ゲート酸化膜 |
| 60, 130 | ゲート電極 |
| 61, 131 | ゲート引出電極 |
| 100 | 半導体装置であるCMOS回路 |
| 101 | 第一トランジスタ |
| 102 | 第二トランジスタ |
| 114 | ソースベース拡散層 |
| 121 | ソース拡散層 |
| 125 | ドレインベース層 |

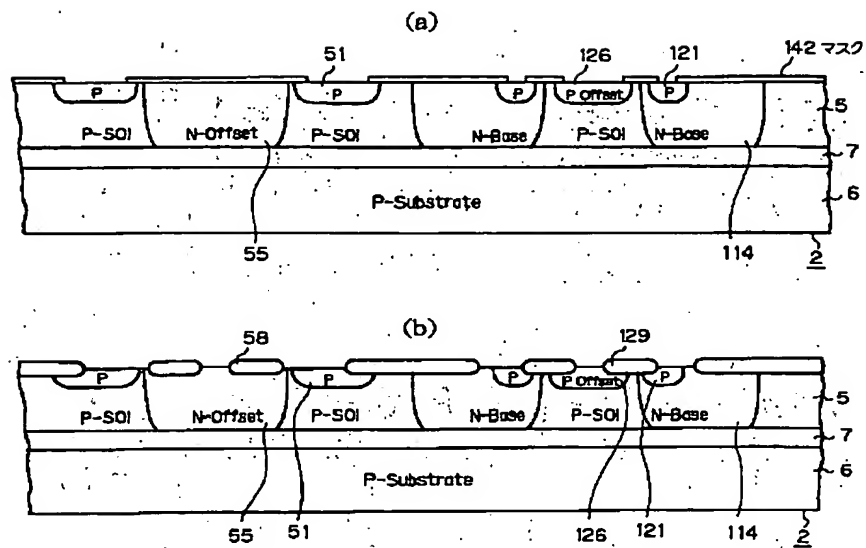
【図1】



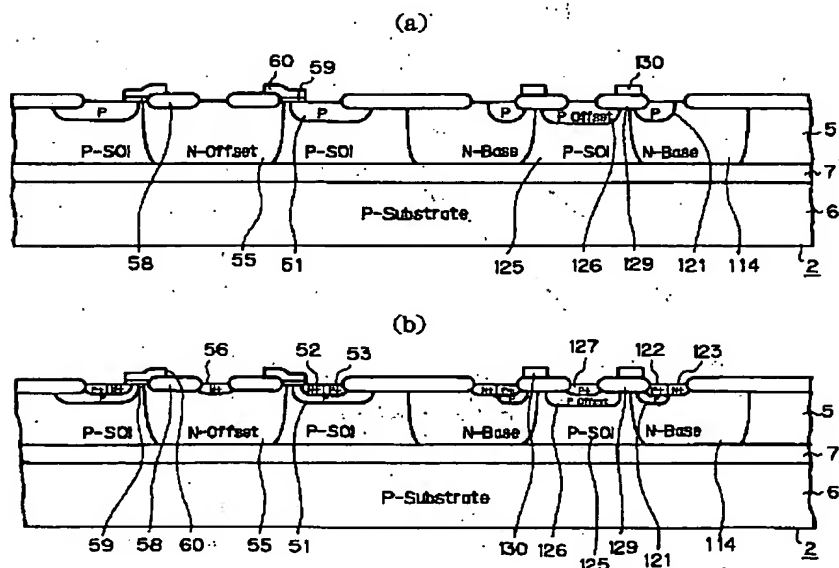
【図2】



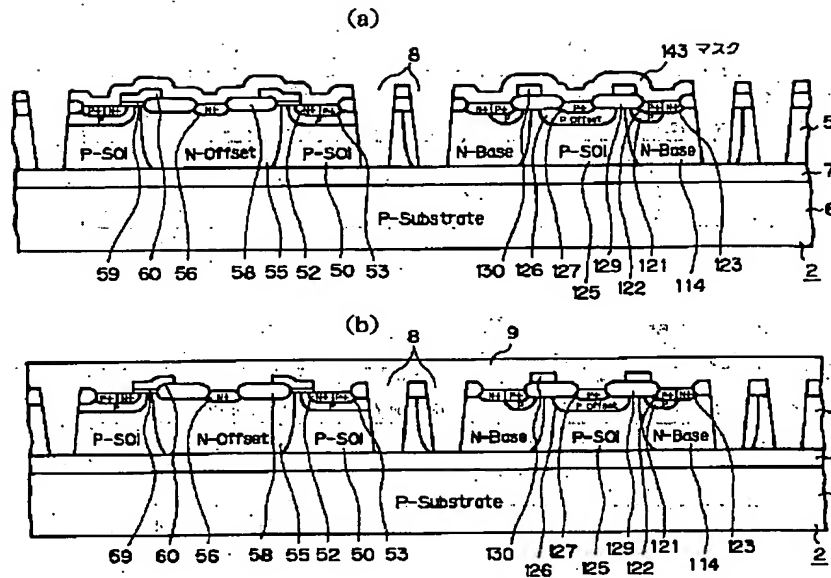
【図3】



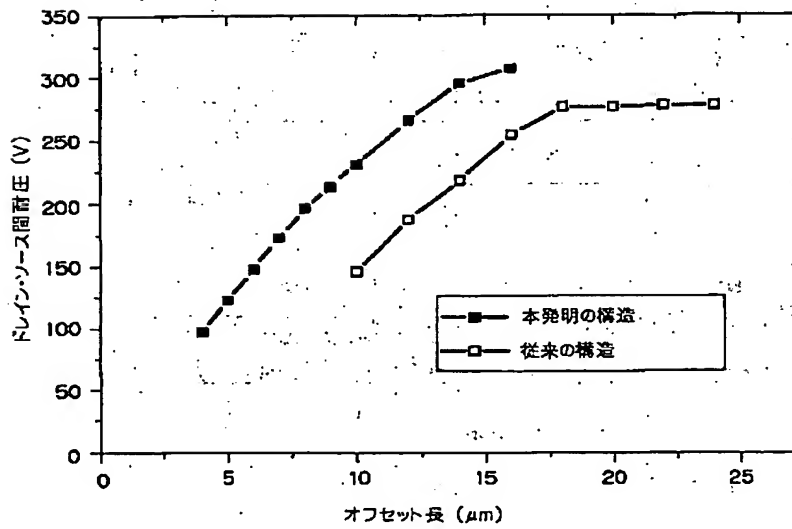
【図4】



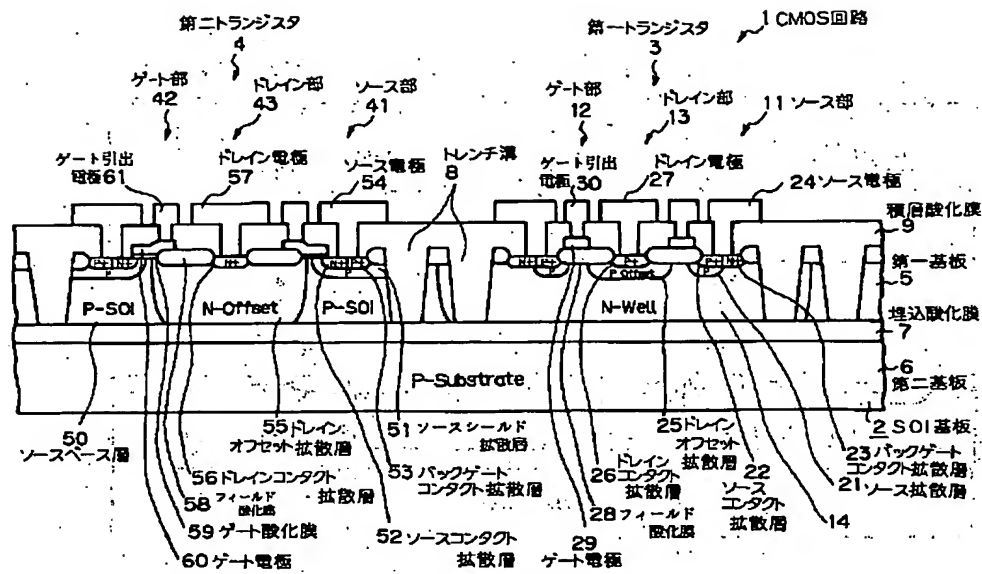
【図5】



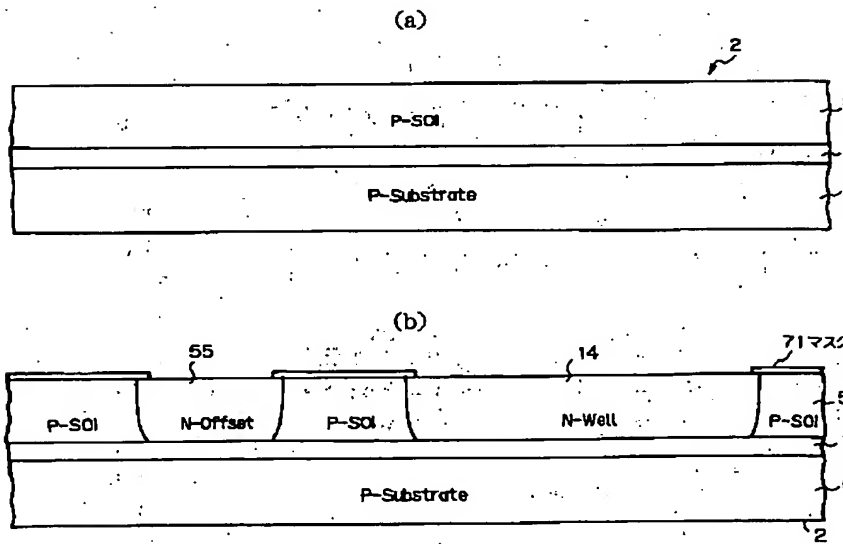
【図6】



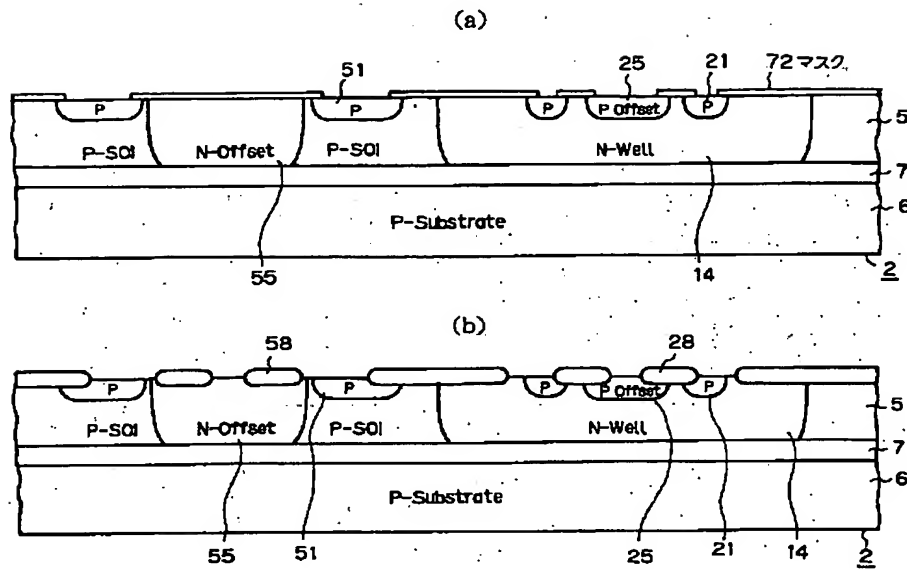
【図7】



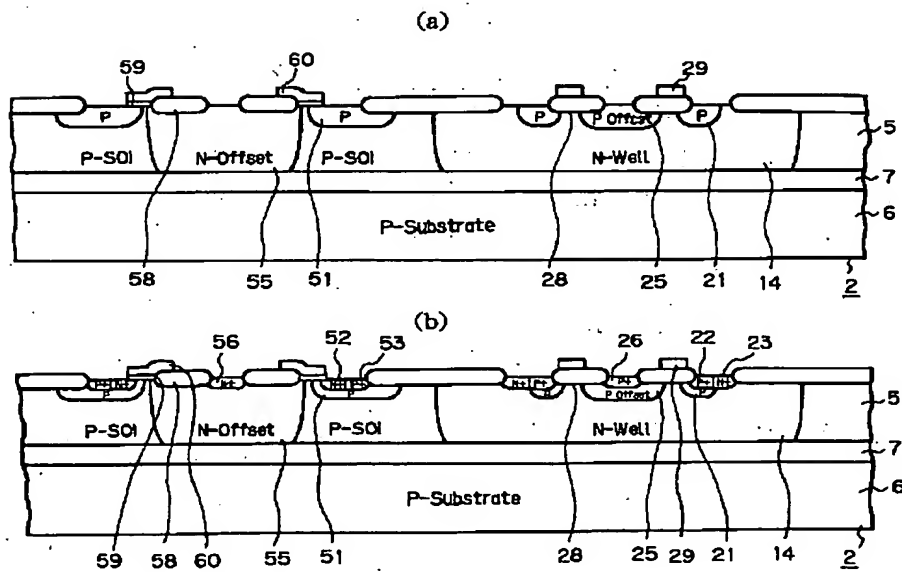
【図8】



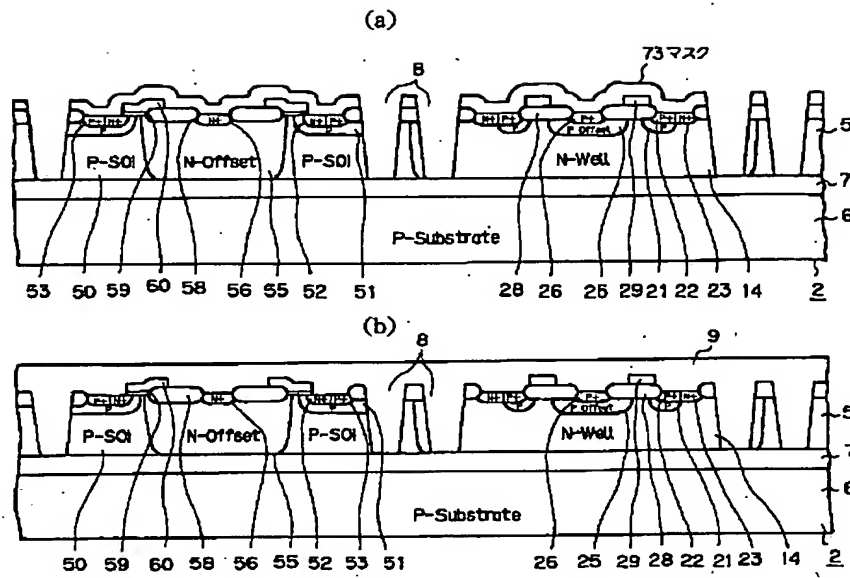
【図9】



【図10】



【図1.1】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

H 0 1 L 27/08

3 2 1 B

3 2 1 E